

# Implementación de un Sistema de Procesamiento de Potenciales Evocados Auditivos del Tronco Cerebral en una Plataforma Zynq

De la Rosa José Pablo, Aguilar Lobo Lina M., Ochoa Ruiz Gilberto

[jpdlarosa@gmail.com](mailto:jpdlarosa@gmail.com), [lina.aguilar@edu.uag.mx](mailto:lina.aguilar@edu.uag.mx), [gilberto.ochoa@edu.uag.mx](mailto:gilberto.ochoa@edu.uag.mx)

Departamento de Ciencias Computacionales  
Universidad Autónoma de Guadalajara

## Resumen

*En este trabajo se presenta el diseño de hardware y software para el desarrollo de un dispositivo de diagnóstico de potenciales evocados auditivos de bajo costo. La arquitectura se basará en un dispositivo Zynq, el cual está conformado por un procesador ARM A9 y un bloque de lógica programable (FPGA), cuyo flujo de diseño proporciona nuevas oportunidades en la exploración de diseño de sistemas embebidos. En particular, la lógica programable integrada en dicho dispositivo permite la creación de sistemas diversificados o a la medida; además fomenta el co-diseño HW/SW de sistemas complejos, como aquellos relacionados al procesamiento de señales e imágenes. En el contexto particular de este trabajo se explora el uso del Zynq como base para la creación del dispositivo portátil para la medición de potenciales auditivos. La fase de co-diseño será realizada utilizando herramientas de alto nivel basadas en Matlab y Simulink, que permiten la generación automática de código, tanto para el procesador como para la lógica programable; logrando un mejor compromiso en términos de consumo de recursos y en aspectos de tiempo real.*

**Palabras clave:** Procesamiento de Señales Biomédicas, SoC, FPGA, Potencial Evocado, Hipoacúsica.

## Abstract

*In this paper, we present the design of a hardware/software methodology for a low-cost device, to be used in the diagnosis and study of auditory brainstem responses. The architecture will be based in a Xilinx Zynq Extended Processing Platform, which is encompassed by two main components: a processing system (PS), based on an ARM A9 processor, and secondly, by a block of programmable logic attached to the PS via an AXI bus. Such devices show great potential in many areas, as they foster the exploration of various design architectures for creating novel embedded systems. In particular, the programmable logic integrated in the device allows for the creation of customizable or tailored embedded systems; furthermore, it fosters HW/SW co-design strategies for very complex systems, such as those used in IA, computer vision, and signal and image processing. In the particular context of this work, we explore the capabilities afforded by the Zynq device as a launching pad for the rapid prototyping of a portable device for measuring the auditory brainstem responses. The co-design phase will be performed using high-level synthesis tools such as Matlab and Simulink, which enable transparent and automatic code generation, both for the processor and the programmable logic, enabling faster and more accurate design space exploration for various constraints.*

**Keywords:** Biomedical Signal Processing, System On Chip, FPGA, Auditory Brainstem Response.

## 1. Introducción

Los potenciales evocados auditivos (PEAs) se definen como un conjunto de actividades neuro eléctricas generadas en respuesta a un estímulo acústico, manifestándose como un patrón de variaciones de potencial en las membranas neuronales del sistema auditivo [1] [2].

El análisis de estas señales generadas por el sistema nervioso es de gran interés en diversos campos médicos, tales como la neurología y la pediatría. Generalmente, una prueba de PEAs consiste en el uso de electrodos ubicados en la superficie de la piel y los lóbulos del pabellón auricular para capturar y analizar las respuestas causadas al aplicarse un impulso, ya sea generado por auriculares o por medio de un vibrador óseo [3].

Esta prueba proporciona al especialista un método no invasivo para determinar la integridad del oído interno (cóclea) y los caminos auditivos del paciente, así como de identificar irregularidades tempranas en las vías nerviosas-auditivas. El especialista puede observar el avance de la señal a través de diversas secciones del canal neurosensorial: la porción coclear del octavo nervio craneal, el núcleo coclear, el complejo olivar superior, el lemnisco lateral y el colículo inferior. [4] Comúnmente, la señal de salida generada por el tronco cerebral manifiesta 5 ondas principales. Son de especial interés las ondas I y II, generadas por el octavo nervio coclear y la cóclea, y las ondas III y V, generadas por la interacción de ambos lados del tronco cerebral.

La interpretación de las ondas obtenidas implica realizar una comparación entre los resultados registrados en cada oído, así como dichos valores con los datos existentes en los catálogos demográficos normativos; los cuales figuran un canon de umbrales comunes de acuerdo con factores poblacionales, tales como el género y la edad de los pacientes [4].

En general, la prueba de PEAs suele clasificarse en dos tipos de acuerdo con sus objetivos [4].

- *Búsqueda de umbrales auditivos*: Evaluación pediátrica a fin de detectar la existencia de neuropatía auditiva en el paciente, así como de determinar el grado de pérdida auditiva y la latencia de cada oído.
- *Evaluación Neurológica*: Evaluación de niños y adultos para determinar la integridad del sistema auditivo.

Hoy en día, la aplicación e interpretación de la prueba de PEAs requiere de la asistencia de especialistas, lo cual vuelve necesaria la visita periódica del paciente a centros de atención. El desarrollo de un dispositivo portátil de bajo costo capaz de efectuar y diagnosticar las pruebas de PEAs del tronco cerebral permitirá simplificar de forma considerable el proceso de reconocimiento y tratamiento de patologías auditivas en adultos e infantes.

## 2. Contexto

### 2.1 Dispositivos FPGA.

Se ha descubierto que los sistemas digitales con la capacidad de ejecutar muchos algoritmos de manera cuasi-instantánea son de gran interés debido a que unen las ventajas de los dispositivos de procesamiento digital con aquellas de sus contrapartes analógicas [13]. Esto ha conducido a investigadores e industria al desarrollo de una tercera categoría de dispositivos de procesamiento, en los cuales los dispositivos lógicos programables juegan un papel primordial.

Las matrices de puertas programables (FPGAs por sus siglas en inglés) representan un elemento de gran importancia dentro de esta categoría, ya que consisten en dispositivos que incluyen algunos recursos heterogéneos (tales como la memoria BRAM y los bloques de procesamiento digital de señales DSP) dentro de su fábrica programable, así como los sistemas lógicos necesarios para

implementar una gran variedad de algoritmos; lo que proporciona un alto nivel de integración y heterogeneidad computacional. Aunado a esto, los principales beneficios del uso de FPGAs para la implementación de sistemas complejos se encuentran relacionados a su rendimiento; tanto en términos de capacidades superiores de procesamiento de entradas y salidas, como de altas velocidades de ejecución al utilizar arquitecturas masivamente paralelas.

Los dispositivos reprogramables han logrado muchas mejorías en diversas aplicaciones de amplio interés, pues permiten a los diseñadores el combinar un conjunto de procesadores RISC con aceleración por hardware [13] para implementar diversos algoritmos y permitir su integración con bloques de comunicación y otros periféricos especializados en Sistemas en Chip (SoC). Por otro lado, los diseñadores pueden idear arquitecturas de hardware personalizadas para aplicaciones rigurosas en términos de desempeño, las cuales, al ser acopladas con los procesadores embebidos, podrían permitir una diversificación de productos [14]. Algunas otras ventajas proporcionadas por los SoC FPGAs sobre tecnologías alternativas consisten en: su capacidad de ser programados en el campo, su personalización a través de la lógica programable y su flexibilidad al permitir la adaptación de protocolos de comunicación en configuraciones específicas de sistema.

Una tendencia actual es el cambio hacia la miniaturización de los sistemas de procesamiento de aplicaciones. Algunos proveedores de equipos de fábrica, por ejemplo, han aprendido que al incorporar sofisticados algoritmos de control de motores, pueden usar motores de bajo costo; a la vez que reducen el consumo de energía y mejoran la confiabilidad y la seguridad de sus productos. Este tipo de tendencias han sido conducidas por la necesidad de dispositivos semiconductores de alto desempeño, bajo consumo, simples en el manejo de sus protocolos y útiles para controlar la siguiente generación de mecanismos.

Adicionalmente, los costos reducidos son prioridad para un gran número de aplicaciones especializadas y de gama alta; los FPGAs y los SoC tratan esta necesidad al permitir la diversificación por medio de algoritmos personalizados y funciones estrechamente integradas en un dispositivo único. Esto reduce los costos de la lista de materiales, incluyendo los circuitos integrados de aplicación específica, procesadores DSP, buses industriales y protocolos de comunicación en un solo dispositivo, tal como es ejemplificado en la figura 1, que muestra una arquitectura prototípica de un SOC basado en FPGA.

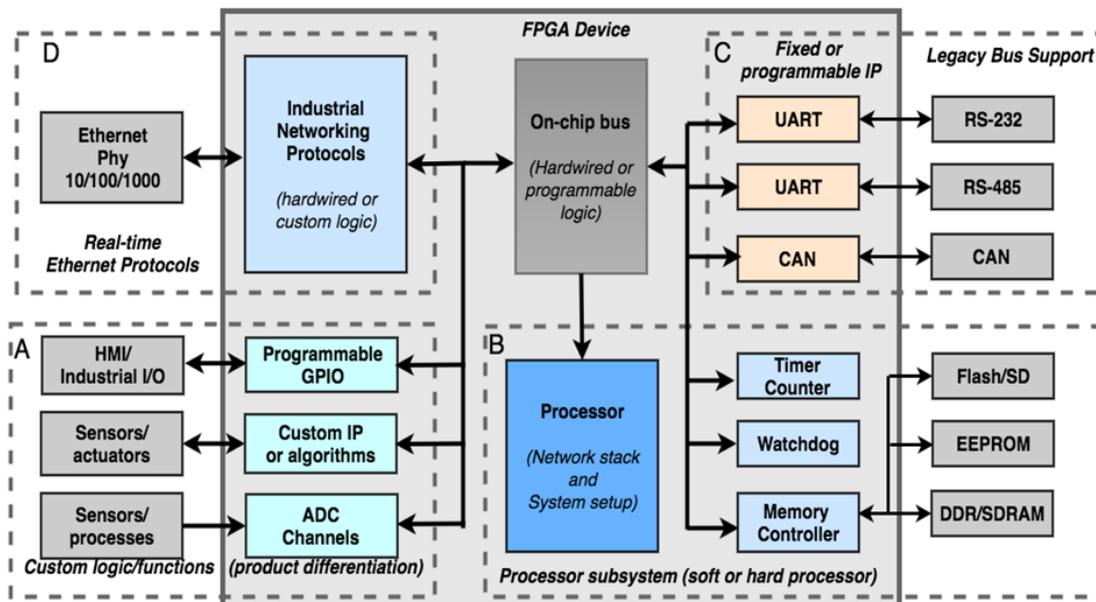


Figura 1. Diagrama de bloques de un dispositivo FPGA.

Algunas características y funciones del FPGA pueden ser actualizadas de forma simple después de que el sistema ha sido instalado en campo [15]. En áreas relacionadas con las comunicaciones o en los algoritmos de procesamiento de señales, en las cuales los protocolos y los estándares cambian constantemente, la programación de un FGPA reduce los costos de migración y amplía la escalabilidad de las soluciones desarrolladas; lo mismo aplica con los algoritmos de control o de procesamiento digital de señales o imágenes, que pueden ser actualizados en cualquier momento. Esto trae consigo grandes ventajas relacionadas al prototipado rápido de sistemas embebidos y de sistemas en Chip, y puede tener un impacto importante al minimizar los costos y tiempos de salida de un producto al mercado.

Tal como se muestra en el bloque A de la figura 1, la gran mayoría de los FPGAs y los SoC FPGAs incorporan canales programables de conversión de señales Analógico-Digitales (ADC), que, junto con los sistemas lógicos, la memoria y los recursos DSP permiten la implementación de funciones personalizadas. Los FPGAs se integran también por hasta cientos de pines de entrada/salida programables, que pueden fungir como interfaces con dispositivos electrónicos inteligentes (IED), sensores y actuadores. Además, la posibilidad de incluir procesadores integrados (bloque B en la Fig. 1) dentro del dispositivo fomenta estrategias de co-diseño HW / SW más eficaces, ayudando a los diseñadores a lograr un mejor compromiso en la implementación de los bloques constituyentes de un algoritmo dado. El uso de funciones o algoritmos especializados dentro del SoC FPGA trae consigo tres grandes beneficios:

- (1) Los algoritmos generalmente no operan de forma separada: un dispositivo inteligente debe ser capaz de realizar la configuración de sistema, administrar y monitorear las operaciones a fin de garantizar la operación correcta de un proceso. Estas tareas suelen ser atendidas por un procesador integrado estrechamente acoplado, que puede implementarse en los recursos FPGA o ser una CPU cableada.
- (2) El procesador se ocupa de programar la ejecución y la comunicación entre las funciones o algoritmos cooperantes, haciendo que la implementación del control sea más fácil de mantener y validar en cada etapa del proceso de desarrollo.
- (3) La actuación de los algoritmos de control, así como la comunicación entre los diversos módulos de control, sensores y actuadores se reduce drásticamente debido a los tiempos de respuesta más cortos de la implementación de hardware subyacente.

## **2.2 SoC FPGA**

El diseño de SoCs basados en FPGA ha girado típicamente alrededor de una visión centrada en el hardware del diseño del sistema. Esto ha provocado que los FPGAs sean percibidos como complejos y difíciles de usar; lo cual ha limitado su uso a pequeños nichos de aplicación, en las cuales se ha logrado demostrar todo su potencial. Para tratar con estos problemas, los principales proveedores de FPGAs han buscado adaptarse a las necesidades del mercado de forma tecnológica y metodológica, realizando actividades como: (1) aumentar la integración de funciones especializadas (como el DSP) y los bloques de memoria configurable (como el BRAM). (2) Soportar un abundante número de protocolos de comunicación para mover grandes cantidades de datos.

Por otro lado, se ha logrado atacar la división de hardware/software típicamente asociada a los SoCs basados en FPGAs a través de la inclusión de procesadores de grado de aplicación (como el ARM Cortex A9) capaces de utilizar sistemas operativos completos (Ej. Linux). Este nuevo tipo de dispositivos acopla un par de procesadores ARM de alto desempeño con un bloque de extensión de lógica programable para promover una visión centrada en el software; se busca así simplificar la especificación, implementación y validación de sistemas heterogéneos.

Siguiendo lo anterior, este tipo de plataformas de procesamiento extensibles (tal como ha sido denominado el dispositivo Zynq de Xilinx en [16]), utilizan un enfoque basado en el procesador, en el cual se enfatiza el flujo de desarrollo del procesador ARM sobre los enfoques de diseño tradicionales basados en FPGA; lo que implica que los diseñadores de software pueden comenzar a desarrollar

nuevas aplicaciones de inmediato, utilizando la arquitectura ARM Cortex y aprovechando un número fijo de módulos de estándares e interfaces.

Algunos SoC FPGAs como el Zynq integran un bloque de extensión lógica programable estrechamente acoplado que permite a los diseñadores dividir sus funciones de hardware y software en función de los requisitos del sistema, y personificar el dispositivo para un escenario de aplicación determinado [17], permitiendo implementar funciones en el bloque de extensión de lógica programable para crear sus propios SoCs altamente optimizados, con las ventajas adicionales de reducir el conteo de chips y la complejidad de la placa del circuito, así como el evitar problemas de integridad de las señales.

### 3. Arquitectura propuesta.

La figura 2 presenta el diagrama de bloques del sistema propuesto. El primer prototipo constará de un co-diseño compuesto por un SoC programable [18] y una PC. Se utilizará el SoC para realizar las funciones de acondicionamiento de las señales neurológicas recibidas, así como de generación de los estímulos que serán aplicados al paciente. Mientras tanto, la PC jugará el rol de procesar y presentar al usuario las señales recibidas mediante una interfaz de usuario; misma en la cual éste podrá controlar las señales de estímulo aplicadas el paciente.

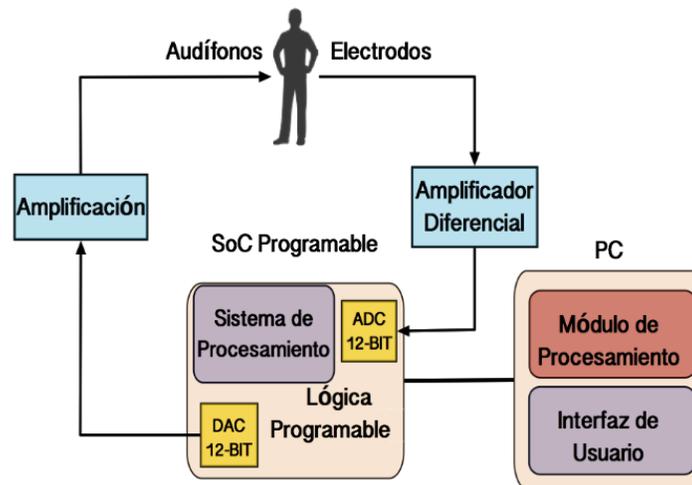


Figura 2. Diagrama de bloques del sistema.

#### 3.1 Componentes de Hardware.

El diseño de Hardware constará de 3 etapas principales: acondicionamiento, procesamiento y generación de estímulos.

**Acondicionamiento de señal.** Se adquirirá la señal de respuesta del paciente utilizando electrodos superficiales conectados a un amplificador de instrumentación, cuya salida será enviada al SoC para su posterior acondicionamiento.

Se propone el uso del SoC programable Zynq-7000 cuya arquitectura puede visualizarse en la figura 3; éste se compone de una unidad lógica programable y un sistema de procesamiento basado en dos procesadores ARM Cortex-A9. Se buscará hacer uso de sus convertidores analógicos-digitales (ADC) de 12 bits para la adquisición de la pre-amplificada.

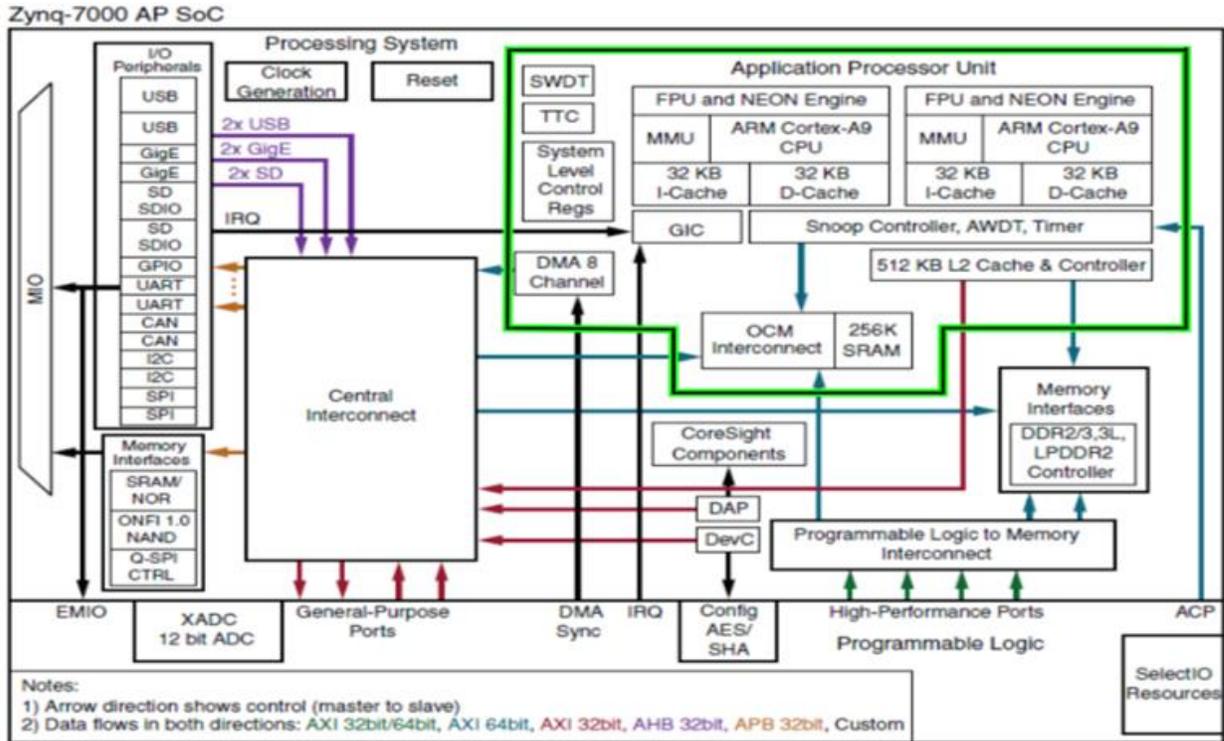


Figura 3. Diagrama de procesamiento del Zynq-700 (Recuperado de [12]).

**Procesamiento.** Mediante el uso de los periféricos USB 2.0, el dispositivo Zynq permitirá el intercambio de información con la PC; de esta forma, podrá realizarse el control de los estímulos auditivos, así como la visualización de los resultados en la pantalla de la computadora.

**Generación de estímulos.** La producción de señales auditivas se realizará mediante el manejo de los convertidores digital-analógico (DAC) del SoC. Dichas señales serán controladas mediante el sistema de procesamiento utilizando las variables especificadas por el usuario a través de la interfaz de la computadora. Finalmente, se contará con una etapa de amplificación analógica basada en el uso de amplificadores operacionales para reproducir el estímulo auditivo utilizando audífonos de audiometría.

### 3.2 Implementación en el Zynq-7000 SoC.

Se trabajará en la programación del Zynq-7000 [19] siguiendo el flujo de la figura 4, en el cual se pretende realizar implementaciones de hardware y software en el SoC a partir de un modelo dinámico del sistema creado en Simulink. Esto proporciona la posibilidad de realizar simulaciones completas del sistema para posteriormente utilizar las modalidades de generación automática de códigos C/C++ para los núcleos Cortex A-9 y de código HDL para la lógica programable a partir de dicho modelo.

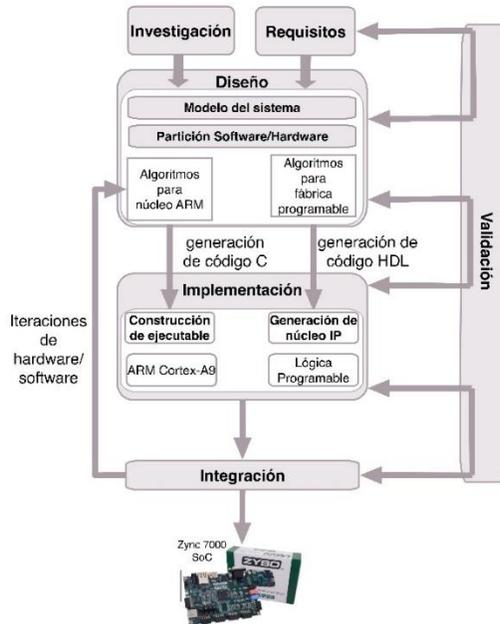


Figura 4. Flujo de implementación para un SoC programable (basado en [12]).

## 4. Discusión y conclusiones

El estudio de los potenciales evocados auditivos es de gran relevancia para la detección temprana y tratamiento de patologías auditivas en infantes, así como en adultos en situaciones en las cuales otros tipos de técnicas resultan poco viables. En este proyecto se han presentado los avances hacia el desarrollo de un dispositivo portátil capaz de realizar la prueba de PEA de una forma accesible. Se ha propuesto el uso de una arquitectura heterogénea compuesta por un SoC programable Zynq-7000 y una PC.

## 5. Trabajo futuro

Se contempla como trabajo futuro el diseño detallado y prototipaje del sistema de acondicionamiento de señales neuro eléctricas basado en el uso del SoC programable, así como el desarrollo de un primer prototipo con aplicación de la arquitectura propuesta.

## Referencias

- [1] Miyara, Federico. "Seminario Taller Sobre Potenciales Evocados Auditivos." Facultad De Ingenierías Exactas, Ingeniería Y Agrimensura. Universidad Nacional De Rosario, n.d. Web. 27 julio 2017, <https://www.fceia.unr.edu.ar/acustica/biblio/evocado.pdf>.
- [2] Plourde, G. "Auditory evoked potentials." Best Practice & Research Clinical Anaesthesiology, Elsevier, 7 dic. 2005.
- [3] Trinidad, German, Gabriel Trinidad, and Eduardo De La Cruz. "Potenciales Evocados Auditivos." Puesta Al Día En Técnicas (2008): 296-301. 27 jul. 2017.
- [4] Crumley, Wendy. "Good Practices in Auditory Brainstem Response, Part 1." Audiology Online, Continued, 13 jun. 2011, [www.audiologyonline.com/articles/good-practices-in-auditory-brainstem-827](http://www.audiologyonline.com/articles/good-practices-in-auditory-brainstem-827)

- [5] San Salvador. “2 Channel electro-audiometer”. Web. 27 jul. 2017, [http://san-salvador-ss.all.biz/electroaudimetro-digital-2-canales-bipolares-audix-g2549#.WXAVfBjmH\\_Q](http://san-salvador-ss.all.biz/electroaudimetro-digital-2-canales-bipolares-audix-g2549#.WXAVfBjmH_Q)
- [6] American Speech-Language-Hearing Association. “Auditory Brainstem Response (ABR).” American Speech-Language-Hearing Association, ASHA, [www.asha.org/public/hearing/Auditory-Brainstem-Response/](http://www.asha.org/public/hearing/Auditory-Brainstem-Response/)
- [7] Rance, G, et al. “Steady-State Evoked Potential and Behavioral Hearing: Ear and Hearing.” Steady-State Evoked Potential and Behavioral Hearing Thresholds in a Group of Children with Absent Click-Evoked Auditory Brain Stem Response., Ear Hear, feb. 1998, [journals.lww.com/ear-hearing/Fulltext/1998/02000/Steady\\_State\\_Evoked\\_Potential\\_and\\_Behavioral.3.aspx](http://journals.lww.com/ear-hearing/Fulltext/1998/02000/Steady_State_Evoked_Potential_and_Behavioral.3.aspx)
- [8] “Auditory Brainstem Response (ABR) Evaluation.” John Hopkins University, [www.hopkinsmedicine.org/healthlibrary/conditions/adult/otolaryngology/Auditory\\_Brainstem\\_Response\\_Evaluation\\_22,AuditoryBrainstemResponseEvaluation](http://www.hopkinsmedicine.org/healthlibrary/conditions/adult/otolaryngology/Auditory_Brainstem_Response_Evaluation_22,AuditoryBrainstemResponseEvaluation)
- [9] “Auditory Brainstem Response (ABR).” American Speech-Language-Hearing Association, ASHA, [www.asha.org/public/hearing/Auditory-Brainstem-Response/](http://www.asha.org/public/hearing/Auditory-Brainstem-Response/)
- [10] “Auditory Brainstem Response (ABR) Test.” Childrens Hospital of Pittsburgh, [www.chp.edu/our-services/audiology/patient-procedures/abr](http://www.chp.edu/our-services/audiology/patient-procedures/abr).
- [11] Crockett, Louise H. The Zynq Book: Embedded Processing with the ARM Cortex-A9 on the Xilinx Zynq-7000 All Programmable SoC. Strathclyde Academic Media, 2014.
- [12] Jim Turley. “MathWorks Targets Hardware/Software.” EEJournal, 27 ene. 2015, [www.eejournal.com/article/20150127-matlab/](http://www.eejournal.com/article/20150127-matlab/).
- [13] R. Dubey, Embedded System Design Using Field Programmable Gate Arrays, Springer, 1st edition, 2009.
- [14] R. Woods, J. McAllister, G. Lightbody, and Y. Yi, FPGA-based Implementation of Signal Processing Systems, Wiley, 1st edition, 2008.
- [15] I. Kuon and R. Rose, Quantifying and Exploring the Gap Between FPGAs and ASICs, Springer, 2010.
- [16] Xilinx, “Ds190 - zynq-7000 all programmable soc overview,” [https://www.xilinx.com/support/documentation/data\\_sheets/ds190-Zynq-7000-Overview.pdf](https://www.xilinx.com/support/documentation/data_sheets/ds190-Zynq-7000-Overview.pdf).
- [17] M. Santarini, “Xilinx architects ARM-based processor-first, processor-centric device,” Xilinx Xcell Journal, vol. 71, pp. 6–11, 2010.
- [18] Xilinx, Zynq-7000 all programmable soc technical reference manual, 2016, [https://www.xilinx.com/support/documentation/user\\_guides/ug585-Zynq-7000-TRM.pdf](https://www.xilinx.com/support/documentation/user_guides/ug585-Zynq-7000-TRM.pdf).
- [19] Crocket and Steward, The Zynq Book, The University of Strathclyde, 1st edition, 2015.